

⑫ 公開特許公報(A)

昭62-276878

⑪ Int.Cl.⁴H 01 L 29/78
27/10

識別記号

庁内整理番号

7514-5F
8624-5F

⑬ 公開 昭和62年(1987)12月1日

審査請求 未請求 発明の数 2 (全24頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭61-119215

⑯ 出 願 昭61(1986)5月26日

⑰ 発 明 者 小 森 和 宏 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑱ 発 明 者 目 黒 怜 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 萩 原 隆 且 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
⑳ 発 明 者 久 米 均 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
㉑ 発 明 者 塚 田 俊 久 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内
㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代 理 人 弁理士 小川 勝男 外1名

最終頁に続く

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

1. トンネルさせ得る膜厚を有するゲート絶縁膜とこの上のフローティングゲート電極とコントロールゲート電極を有し、高濃度層からなるドレイン領域と、少なくともチャネル領域側の端部において、前記ドレイン領域より低濃度のソース領域を有するMISFETからなるメモリセルを備えたことを特徴とする半導体記憶装置。
2. 前記MISFETのドレイン領域は、チャネル領域の端部の接合の浅い第1の高濃度層とチャネル領域から離隔された接合の深い第2の高濃度層からなることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。
3. 前記MISFETのソース領域は、チャネル領域側に設けられた接合の浅い第1の高濃度層と、チャネル領域から離隔された第2の高濃度層からなり、前記低濃度層は前記第1の高濃度

層及び第2の高濃度層の低部に設けられていることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。

4. 前記MISFETのソース領域は、チャネル領域側に設けられた接合の浅い第1の高濃度層と、チャネル領域から離隔された第2の高濃度層からなり、前記チャネル領域側の低濃度層は前記第1の高濃度層の低部に設けられていることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。
5. 前記ソース領域の低濃度層は、チャネル領域側の表面に設けられており、該低濃度層と、チャネル領域から離隔された高濃度層とで前記ソース領域を構成していることを特徴とする特許請求の範囲第1項記載の半導体記憶装置。
6. 前記ドレイン領域のチャネル領域側に設けられた第1の高濃度層の底部に半導体基板と同一導電型の半導体領域を設けたことを特徴とする特許請求の範囲第2項記載の半導体記憶装置。
7. 前記MISFETは、記憶した情報を電気的

に消去する不揮発性メモリセルであることを特徴とする特許請求の範囲第1項乃至第6項のいずれかに記載の半導体記憶装置。

8. フローティングゲート電極とコントロールゲート電極を有するMISFETからなり、ドレイン領域を高濃度層で形成するとともに、前記高濃度層に接して半導体基板と同一導電型の半導体領域を設けたことを特徴とする半導体記憶装置。
9. 前記ドレイン領域は、チャネル領域側の接合の浅い第1の高濃度層とチャネル領域から離隔された接合の深い第2の高濃度層からなり、前記半導体領域を少くとも前記第1の高濃度の低部に設けたことを特徴とする特許請求の範囲第8項記載の半導体記憶装置。
10. 前記MISFETのソース領域は、チャネル領域側の端部に設けられた接合の浅い第1の半導体領域と、チャネル領域から離隔された接合の深い第2の半導体領域からなることを特徴とする特許請求の範囲第8項記載の半導体記憶装置。

〔従来の技術〕

フローティングゲート電極とコントロールゲート電極を有するMISFETで構成したEEPROMのメモリセルは、例えば1984年国際電子デバイス会議1984 IEDMのテクニカルダイジェスト(Tech. Digest)、PP. 468-471に記載されている。

前記メモリセルは、フローティングゲート下の薄い酸化膜を通じてフローティングゲートに基板より電子をトンネル注入あるいはフローティングゲートから基板に電子をトンネル放出するため薄い酸化膜に10MV/cm以上の強電界を印加する必要がある、このため、フローティングゲートとコントロールゲートの重なり面積を大きくとる必要がある。また、メモリセルは、メモリトランジスタとセレクトトランジスタの2素子で構成される。

以上より前記メモリセルは、同じフローティングゲートとコントロールゲートを有するEPROMセルに比べ5倍程度大きくなり、高集積大容量

装置。

11. 前記ソース領域のチャネル領域側の第1の半導体領域の不純物濃度を前記第2の半導体領域の不純物濃度より低くしたことを特徴とする特許請求の範囲第8項記載の半導体記憶装置。
12. 前記ソース領域を構成する第1の半導体領域と第2の半導体領域を高濃度にし、これらの下部にそれらと同一導電型の低濃度層を設けたことを特徴とする特許請求の範囲第8項記載の半導体記憶装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体記憶装置に関するものであり、特に、メモリセルがフローティングゲート電極とコントロールゲート電極を有するMISFETからなり電氣的に消去可能な半導体記憶装置すなわち、EEPROM(Electrically Erasable and Programmable ROM)に適用して有効な技術に関するものである。

EPROMに不向きである。

そこで、セルサイズを小さくするため、フローティングゲート電極とコントロールゲート電極を有し、フローティングゲートへの電子の注入は(書き込み)は、ドレイン領域の端部で発生したホットエレクトロンで行ない、フローティングゲートからの電子の放出(消去)は、ソース領域へのトンネルで行なう1素子型のメモリセルが提案されている(1985年国際電子デバイス会議(1985 IEDM)のテクニカルダイジェスト(Tech. Digest)、PP. 616-619)。

〔発明が解決しようとする問題点〕

前記メモリセルの技術課題は以下の点にある。

EEPROMは、書き込み消去も5V単一電源で行う方向にあり、書き込み消去の高電圧は、同一チップ内に設けた昇圧回路により発生させるのが一般化しつつある。

しかし、前記メモリセルは書き込みをドレイン電流を流した状態でドレイン領域端部でホットエレクトロンを発生させて行なうため、比較的大きな

電流を必要としており、これを昇圧回路で発生した高電圧では電流容量が小さいため適用できない。

したがって、書き込み時のドレイン電圧が外部電源の5V以上でも十分書き込み可能であるようなメモリセルを実現する必要がある。また、消去は、ソース領域に10V以上の電圧を印加し、フローティングゲートとソース領域との間でトンネルを起こす必要があるため、ソース領域と基板間の耐圧は10V以上とし、消去時にアバランシェを起さないようにする必要がある。

本発明の目的は、低いドレイン電圧でも書き込み可能なメモリセルを提供することにある。

本発明の他の目的は、ソース領域と基板間の耐圧を高くし、消去特性を向上させたメモリセルを提供することにある。

本発明の他の目的は、高速動作が可能なメモリセルを提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

レイの等価回路である。なお、第2図は、メモリセルの構成を見易くするために、フィールド絶縁膜以外の絶縁膜を図示していない。

まず、第3図を用いてメモリセルレイの回路の概略を説明する。

第3図において、15はYデコーダ、16はXデコーダ、17はセンスアンプである。Qmはメモリセルであり、フローティングゲート電極とコントロールゲート電極を有するMISFETからなっている。コントロールゲート電極はワード線WLに接続されている。ドレイン領域はデータ線DLに接続され、ソース領域は接地線GLに接続されている。Qs1、Qs2は、情報の書き込み時及び読み出し時に接地線GLに回路の接地電位Vss例えば0Vを印加し、情報の消去時に消去電位Vpp例えば14Vを印加するためのスイッチ素子である。情報の書き込み時及び読み出しには、MISFETQs1が非導通状態とされ、MISFETQs2が導通状態とされる。情報の消去時には、MISFETQs1が導通状態とされ、M

(問題点を解決するための手段)

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、フローティングゲート電極とコントロールゲート電極を有するMISFETからなるメモリセルのドレイン領域を高濃度層で構成し、また、ソース領域のチャネル領域側の端部を低濃度にする。

〔作用〕

上記した手段によれば、ドレイン領域端部での電界が強くなるのでホットエレクトロンの発生が増加し、これにより書き込み電圧を低減することができる。また、ソース領域と半導体基板の間のアバランシェブレイクダウン電圧が高められるので、消去効率を向上することができる。

〔実施例1〕

第1図は、第2図に示したメモリセルレイのA-A切断線における断面図、第2図はメモリセルレイの一部の平面図、第3図はメモリセルア

ISFETQs2が非導通状態とされる。データ線DLは、書き込み時及び読み出し時に電源電位Vcc例えば5Vが印加され、消去時に接地電位Vss例えば0Vが印加される。ワード線WLは、書き込み時に書き込み電位Vpp例えば14Vが印加され、読み出し時にはVcc電位例えば5Vが印加される。消去時には接地電位Vss例えば0Vにされる。

第1図及び第2図に示すように、メモリセルであるMISFETは、第1ゲート絶縁膜4、フローティングゲート電極5、第2ゲート絶縁膜6、コントロールゲート電極7、n⁺型半導体領域9、n⁺型半導体領域10、n⁻型半導体領域11とで構成してある。第1ゲート絶縁膜4は、半導体基板1の表面の酸化による酸化シリコン膜からなり、100Å程度の膜厚を有している。フローティングゲート電極5は、多結晶シリコン膜からなり、第1ゲート絶縁膜4に被着して設けられている。第2ゲート絶縁膜6は、フローティングゲート電極5である多結晶シリコン膜の表面の酸化による

酸化シリコン膜からなり、250～350Å程度の膜厚を有している。コントロールゲート電極7は、例えば第2層目の多結晶シリコン膜からなり、第2ゲート絶縁膜6の表面に被着している。また、ワード線WLと一体に形成されて、フィールド絶縁膜2上を延在している。

ドレイン領域は、n⁺型半導体領域9とn⁺型半導体領域10とからなり、また同一のデータ線DLに同一の接続孔14を通して接続されている2つのメモリセルのドレイン領域が一体となっている。ドレイン領域のチャネル領域側の端部を0.1μm程度の浅い接合深さを有するn⁺型半導体領域9によって構成している。このため、ドレイン領域のフローティングゲート電極5の下部への廻り込みが小さくなっている。また、半導体領域9をn⁺型とした場合と比較して、情報の書き込み時におけるドレイン領域のチャネル領域側の端部の電界を強くすることができる。n⁺型半導体領域9のチャネル長方向における長さは、酸化シリコン膜からなるサイドウォールスペーサ12によって規定さ

れている。ドレイン領域のチャネル領域から離隔された部分は、0.25μm程度の深い接合を有するn⁺型半導体領域10からなっている。

ソース領域は、n⁺型半導体領域9とn⁺型半導体領域10及びn⁺型半導体領域11とからなっている。これらソース領域を構成しているn⁺型半導体領域9、10及びn⁺型半導体領域11は、同一のデータ線DLに、隣接する2つの接続孔14を通して接続されている2つのメモリセルの間をワード線WLが延在している方向に延在して接地線(グラウンド線)GLを構成している。ソース領域のチャネル領域側の端部を接合の浅いn⁺型半導体領域9で構成して、フローティングゲート電極5の下部への廻り込みを小さくしている。n⁺型半導体領域9のチャネル長方向における長さは、サイドウォールスペーサ12によって規定されている。チャネル領域から離隔された部分の表面部は、深い接合を有するn⁺型半導体領域10からなっている。n⁺型半導体領域9及びn⁺型半導体領域10と半導体基板1の間に介在するようにn⁺型半導体領

域11を設けている。n⁺型半導体領域11は、チャネル領域における半導体基板1の表面にまで達している。このため、n⁺型半導体領域9と半導体基板1の間の接合耐圧が高められる。

フィールド絶縁膜2及びフローティングゲート電極5から露出している半導体基板1の表面及びフローティングゲート電極5、コントロールゲート電極7の露出している表面を酸化シリコン膜8が被着して覆っている。フローティングゲート電極5及びコントロールゲート電極7の側面の酸化シリコン膜8に被着して酸化シリコン膜からなるサイドウォールスペーサ12を設けている。

13は例えばリンシリケートガラス(PSG)膜からなる絶縁膜であり、半導体基板1上を覆っている。ドレイン領域の一部であるn⁺型半導体領域10の上の部分の絶縁膜13を選択的に除去して接続孔14を形成している。接続孔14を通してアルミニウム膜からなるデータ線DLがドレイン領域の一部であるn⁺型半導体領域10に接続している。このn⁺型半導体領域10のデータ線DL

が接続している部分の接合深さは、その他の部分より深くなっている。なお、図示していないが、データ線DLを例えばCVDによるPSG膜とその上に形成される窒化シリコン膜とで構成した保護膜が覆っている。

メモリセルへの情報の書き込みは、前述した電位を各領域に印加することにより、ドレイン領域の一部であるn⁺型半導体領域9の端部でホットキャリアを発生させ、このうちホットエレクトロンをフローティングゲート電極5に注入することによってなされる。情報の消去は、前述のようにして、フローティングゲート電極5に保持されているエレクトロンをトンネルによって第1ゲート絶縁膜4を通してn⁺型半導体領域9へ放出することによってなされる。なお、消去動作の際、消去後の記憶素子のV_{th}が1V程度でほぼ一定となるようなV_{th}制御回路が動作するため、1素子型のメモリセルが実現できる。

以上、説明したように本実施例のメモリセルによれば次の効果を得ることができる。

(1) ソース領域を構成するn型半導体領域9及び10と半導体基板1の間にn型半導体領域11を設けたことにより、それらの間の接合耐圧が高められるので、情報の消去時にソース領域に印加する消去電圧を高めることができる。これにより、情報の消去時間あるいは消去の信頼性等の特性を向上することができる。

(2) ソース領域の端部を接合の浅いn型半導体領域9で構成したことにより、フローティングゲート電極5の下部への廻り込みが小さくなるので、ソース領域とフローティングゲート電極5の間の容量を低減することができる。

(3) 前記(2)により、情報の消去時にソース領域を構成するn型半導体領域9に印加した電圧によって第1ゲート絶縁膜4に発生する電圧を高めることができるので、情報の消去特性を向上することができる。

(4) ドレイン領域のチャンネル領域側の端部を接合の浅いn型半導体領域9によって構成したことにより、ドレイン領域とフローティングゲート電

極5の間の容量が低減されるので、情報の読み出し速度を向上することができる。

(5) ドレイン領域の端部の浅い接合を有する半導体領域9をn型としたことにより、n型とした場合と比較して書き込み時におけるドレイン領域端部の電界を強めることができる。これにより、書き込み電圧を低減することができる。

(6) ドレイン領域の端部を浅い接合を有するn型半導体領域9で構成したことにより、フローティングゲート電極5の下部への廻り込みが小さくなるので、短チャネル効果を防止することができる。

次に、前記メモリセルの製造方法を説明する。

第4図乃至第16図は、メモリセルの第1図と同一部分の製造工程における断面図又は平面図である。

第4図に示すように、p型半導体基板1の酸化による酸化シリコン膜18と、熱酸化マスクとして例えばCVDによる窒化シリコン膜19を用いて半導体基板1の所定の表面を酸化することによ

ってフィールド絶縁膜2を形成する。p型チャンネルストッパ3は、フィールド絶縁膜2を形成する以前にイオン打込によってp型不純物例えばボロン(B)を導入しておくことによって形成する。フィールド絶縁膜2を形成した後、窒化シリコン膜19及び酸化シリコン膜18は除去する。

次に、第5図に示すように、フィールド絶縁膜2から露出している半導体基板1の表面を酸化して酸化シリコン膜からなる第1ゲート絶縁膜4を形成する。

次に、第6図に示すように、フローティングゲート電極5を形成するために、半導体基板1上の全面に例えばCVDによって多結晶シリコン膜5を形成する。多結晶シリコン膜5には、熱拡散、イオン打込み等によってn型不純物例えばリン(P)を導入する。

次に、第7図に示すように、多結晶シリコン膜5を、レジスト膜を用いたエッチングによってフローティングゲート電極5の所定の幅で、データ線DLが延在する方向に延在するようにパターニ

ングする。つまり、このエッチング工程では、同一のデータ線DLに接続される複数のメモリセルのフローティングゲート電極5を一体にしたパターンに多結晶シリコン膜5をパターニングする。周辺回路領域に形成された多結晶シリコン膜5は除去する。多結晶シリコン膜5をパターニングした後、レジスト膜からなるマスクは除去する。

次に、第8図に示すように、多結晶シリコン膜5の表面を酸化して酸化シリコン膜からなる第2ゲート絶縁膜6を形成する。膜厚は250~350Å程度にする。この酸化工程でバッファ回路、デコーダ回路、センスアンプ等の周辺回路を構成するMISFETのゲート絶縁膜を形成するようにする。次に、コントロールゲート電極7及びワード線WLを形成するために例えばCVDによって半導体基板1上の全面に多結晶シリコン膜7を形成する。多結晶シリコン膜7には熱拡散、イオン打込み等によってn型不純物例えばリン(P)を導入する。

次に、第9図に示すように、レジスト膜からな

るマスクを用いたエッチングによって多結晶シリコン膜7をエッチングしてコントロールゲート電極7及びワード線WLを形成する。このエッチング工程で周辺回路のMISFETのゲート電極も形成する。前記エッチングに続いてフローティングゲート電極7から露出している第2ゲート絶縁膜6をエッチングする。さらに、多結晶シリコン膜5をエッチングしてフローティングゲート電極5を形成する。この一連のエッチングの後に、レジスト膜からなるマスクを除去する。なお、コントロールゲート電極7、ワード線WL及び周辺回路のMISFETのゲート電極は、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜あるいは多結晶シリコン膜の上に前記高融点金属膜又はシリサイド膜を積層した2層膜としてもよい。

次に、第10図に示すように、フローティングゲート電極5及びコントロールゲート電極7（ワード線WL）の露出している表面を酸化して酸化シリコン膜8を形成する。この酸化の際にフロー

9を形成する。なお、このイオン打込みの際に周辺回路領域をレジスト膜からなるマスクで覆ってメモリセル領域のみにイオン打込みするようにし、さらにメモリセル領域をレジスト膜からなるマスクで覆って周辺回路領域にn型不純物例えばリン(P)を 1×10^{13} atoms/cm²程度イオン打込みすることにより、周辺回路を構成するNチャネルMISFETのソース、ドレイン領域をLDD (Lightly Doped Drain) 構造にすることもできる。この場合、周辺回路領域に設けられたレジスト膜からなるマスクは、イオン打込みの後に除去する。

次に、第13図に示すように、半導体基板1上の全面に、例えばCVDによってサイドウォールスペーサ12形成用の酸化シリコン膜12を形成する。

次に、第14図に示すように、反応性イオンエッチング(RIE)によって酸化シリコン膜12を半導体基板1の表面が露出するまでエッチングしてサイドウォールスペーサ12を形成する。周

ティングゲート電極5、コントロールゲート電極7から露出している半導体基板1の表面が酸化されて酸化シリコン膜8が形成される。

次に、第11図に示すように、半導体基板1上に、n⁺型半導体領域11形成用のレジスト膜からなるマスク20を形成する。マスク20は、周辺回路領域も覆っている。次に、イオン打込みによって半導体基板1の露出している表面部にn型不純物例えばリン(P)を $1 \times 10^{13} \sim 1 \times 10^{14}$ atoms/cm²程度導入してn⁺型半導体領域11を形成する。イオン打込みの後に、マスク20を除去する。この後、n⁺型半導体領域11を、後に形成されるn⁺型半導体領域10より深い接合を有するようにするため、アニールにより引伸してもよい。

次に、第12図に示すように、フローティングゲート電極5及びコントロールゲート電極7をマスクとしてイオン打込みによって半導体基板1の表面にn型不純物例えばヒ素(As)を 1×10^{13} atoms/cm²程度導入してn⁺型半導体領域

周辺回路を構成するためのMISFETのゲート電極の側部にもサイドウォールスペーサ12が形成される。前記エッチングによって露出した半導体基板1の表面を再度酸化して酸化シリコン膜8を形成する。

次に、第15図に示すように、フローティングゲート電極5、コントロールゲート電極7及びサイドウォールスペーサ12をマスクとして、イオン打込みによってn型不純物例えばヒ素(As)を 1×10^{14} atoms/cm²程度導入してn⁺型半導体領域10を形成する。このイオン打込み工程で周辺回路のNチャネルMISFETのソース、ドレイン領域の高濃度層も形成する。なお、周辺回路のPチャネルMISFETが構成される領域は、レジスト膜からなるマスクによって覆って前記n型不純物が導入されないようにする。このレジスト膜からなるマスクは、イオン打込みの後に除去する。NチャネルMISFETを形成した後に、図示していないが、周辺回路のNチャネルMISFET領域及びメモリセル領域をレジスト膜

からなるマスクによって覆い、イオン打込みによって周辺回路のPチャネルMISFET領域にP型不純物例えばボロン(B)を導入してPチャネルMISFETのソース、ドレイン領域を形成する。NチャネルMISFET及びメモリセル領域を覆っていたレジスト膜からなるマスクは、P型不純物を導入した後に除去する。

次に、第16図に示すように、半導体基板1上の全面に例えばCVDによってPSG膜からなる絶縁膜13を形成する。この後、第1図及び第2図に示した接続孔14、アルミニウム膜からなるデータ線DL、図示していない最終保護膜を形成する。

以上、説明したように、本実施例の製造方法によれば、アドレスバッファ回路、デコーダ回路、センスアンプ回路等の周辺回路を構成するNチャネルMISFETと略同一工程でメモリセルを形成することができる。

(実施例Ⅱ)

第17図は、実施例Ⅱにおけるメモリセルの断

面図である。実施例Ⅲは、ソース領域のチャネル領域側の端部を比較的低濃度のn型半導体領域21で構成し、ドレイン領域のチャネル領域側の端部は接合の浅い高濃度のn型半導体領域9で構成したものである。ソース領域の端部がn型半導体領域21で構成されていることから、ソース領域すなわちn型半導体領域10及びn型半導体領域21と半導体基板1の間のアバランシェブレイクダウン電圧が高められている。これにより、情報の消去時にソース領域に印加する消去電圧を高めることができる。なお、n型半導体領域21は、 $0.2\mu\text{m}$ 程度の深さに形成される。

一方、ドレイン領域のチャネル領域側がn型半導体領域9となっていることから、n型半導体領域9と半導体基板1の間に加える電界を強めることができる。したがって、情報の書き込み時におけるホットキャリアの発生を高めることができる。

n型半導体領域9及びn型半導体領域21のチャネル長方向における長さはサイドウォールスペース12によって規定されている。

面図である。

実施例Ⅱは、n型半導体領域11を浅く形成して、n型半導体領域9のみがn型半導体領域11で覆れるようにし、n型半導体領域10の下部はn型半導体領域11が形成されないようにしたものである。n型半導体領域11の深さが浅いため、チャネル領域への拡散も小さくなっている。したがって、メモリセルであるMISFETのしきい値の変動が低減されて電気的特性が向上する。また、短チャネル効果が低減されるので、メモリセルの特性が向上する。

n型半導体領域11は、実施例Ⅰの方法で説明した第11図の工程でn型半導体領域11を前記のようにn型半導体領域9のみを覆うように浅く形成すればよい。したがって、本実施例のメモリセルも周辺回路のNチャネルMISFETと略同一工程で形成することができる。

(実施例Ⅲ)

第18図は、実施例Ⅲのメモリセルの断面図である。

次に、本実施例のメモリセルの製造方法を説明する。

第19図乃至第23図は、製造工程におけるメモリセルの断面図である。

第19図に示すように、実施例Ⅰと同様にフローティングゲート電極5、第2ゲート絶縁膜6、コントロールゲート電極7(ワード線WL)、酸化シリコン膜8を形成する。

次に、第20図に示すように、メモリセルであるMISFETのドレイン領域を覆うようにレジスト膜からなるマスク22を半導体基板1上に形成する。マスク22は、バッファ回路、デコーダ回路、センスアンプ回路等の周辺回路を構成するPチャネルMISFETが形成される領域も覆うように設ける。次に、イオン打込みによってn型不純物例えばリン(P)を $1 \times 10^{15} \sim 1 \times 10^{16} \text{ atoms/cm}^2$ 程度導入してn型半導体領域21を形成する。この後、マスク22を除去する。

次に、第21図に示すように、メモリセルのソ

ース領域及び接地線領域を覆うように、レジスト膜からなるマスク23を半導体基板1上に形成する。マスク23は、周辺回路を構成するPチャネルMISFET領域及びNチャネルMISFET領域も覆うように形成する。次に、イオン打込みによってn型不純物例えばヒ素(As)を 1×10^{15} atoms/cm²程度導入してn型半導体領域9を形成する。イオン打込みの後に、マスク23を除去する。

次に、第22図に示すように、酸化シリコン膜からなるサイドウォールスペーサ12を形成する。サイドウォールスペーサ12は、周辺回路のNチャネルMISFET及びPチャネルMISFETのゲート電極の側部にも形成される。

次に、周辺回路のPチャネルMISFETが設けられる領域をレジスト膜からなるマスクで覆った後に、第23図に示すように、イオン打込みによってn型不純物例えばヒ素(As)を 1×10^{15} atoms/cm²程度導入してn型半導体領域10を形成する。n型半導体領域10は、周辺回

であることからトランスコンダクタンスが高められる。

この後の製造工程は、実施例Iと同様である。
〔実施例IV〕

第24図は、実施例IVのメモリセルの断面図である。

実施例IVは、ソース領域のチャネル領域側の端部はn型半導体領域21で構成し、ドレイン領域の端部はn型半導体領域9で構成し、さらにこのn型半導体領域9の下部にp型半導体領域24を設けたものである。p型半導体領域24は、チャネル領域側の端部がフローティングゲート電極5及びコントロールゲート電極7で規定され、ゲート幅方向における長さがフィールド絶縁膜2で規定されている。p型半導体領域24は、n型半導体領域9の下部のみ設けられており、n型半導体領域10の下部には設けられていない。このため、ドレイン領域端部におけるホットキャリアの発生効率を高めることができる。

p型半導体領域24は、実施例IIIの製造工程の

路のNチャネルMISFETのソース、ドレイン領域にも形成される。イオン打込みの後に、周辺回路のPチャネルMISFET領域を覆っていたレジスト膜からなるマスクを除去する。

ここまでの工程で、メモリセルであるMISFETはソース領域の端部がn型半導体領域21で構成され、ドレイン領域の端部がn型半導体領域9で構成されている。また、周辺回路のNチャネルMISFETは、ソース、ドレイン領域の端部がn型半導体領域21で構成されている。

なお、第21図に示したマスク23は、周辺回路領域においては、PチャネルMISFET領域の全領域とNチャネルMISFET領域のドレイン領域のみを覆うように形成し、NチャネルMISFETのソース領域を露出するように形成してもよい。このようにすると、周辺回路のNチャネルMISFETは、ソース領域の端部がn型半導体領域9で構成され、ドレイン領域の端部がn型半導体領域21で構成される。ドレイン領域端部の電界が緩和され、またソース領域の端部がn型

第21図におけるイオン打込み工程でp型不純物例えばボロン(B)をn型半導体領域9を形成する以前に打込んで形成すればよい。このようにすれば、略ど工程を増加することなくp型半導体領域24を形成することができる。

p型半導体領域24を第21図に示した工程で形成すれば、周辺回路を構成するNチャネルMISFETのドレイン領域の端部にもp型半導体領域24が形成される。この周辺回路におけるp型半導体領域24は、ドレイン領域の空乏層の延びを低減する上で有効である。すなわち、パンチスルー防止にとって有効である。なお、周辺回路のNチャネルMISFETにp型半導体領域24が形成されないようにするには、第21図に示した工程で形成されるレジストマスク23を周辺回路領域のPチャネルMISFET領域のみならずNチャネルMISFETも完全に覆うようにした後にイオン打込みによってメモリセル領域にのみp型半導体領域24を形成すればよい。n型半導体領域9は、前記マスクを除去した後に新にメモリセ

ルのドレイン領域及び周辺回路のNチャネルMISFETのドレイン領域を露出するパターンのレジスト膜からなるマスクを形成し、この後にイオン打込みによって形成すればよい。このようにすれば、メモリセルのみにp型半導体領域24を形成することができる。

(実施例V)

第25図は、実施例Vのメモリセルの断面図である。

実施例Vは、p型半導体領域24をドレイン領域のn型半導体領域9の底部のみならずチャネル側の側面Aにも形成したものである。p型半導体領域24はn型半導体領域10の下部には設けられていない。n型半導体領域9のチャネル領域側の側面Aにp型半導体領域24を形成することにより、ドレイン領域端部の電界が強化されて、情報の書き込み時におけるホットキャリアの発生効率を高めることができる。

本実施例Vにおけるp型半導体領域24は、前記実施例IVにおけるp型半導体領域24と同様に

周辺回路のNチャネルMISFETのドレイン領域に同一工程で形成することもできる。また、周辺回路には形成しないようにすることもできる。
(実施例VI)

第26図は実施例VIのメモリセルの断面図である。

実施例VIは、メモリセルのドレイン領域は0.25 μ m程度の深い接合を有するn型半導体領域10のみで形成し、ソース領域は0.25 μ m程度の深い接合を有するn型半導体領域10とこれを覆うように設けたn型半導体領域11とで構成したものである。n型半導体領域10は接合が深いことから濃度分布は緩やかである。さらにそれを覆ってn型半導体領域11を設けていることから、ソース領域の濃度分布はさらに緩和される。したがって、ソース領域と半導体基板1の間の接合耐圧が高められており、情報の消去特性が向上している。

n型半導体領域11は、実施例Iの第11図のn型半導体領域11と同層の方法で形成し得る。

第11図に示したマスク20を周辺回路領域においては、NチャネルMISFETのドレイン領域を開口しソース領域とPチャネルMISFET領域を覆うようにすれば、周辺回路のNチャネルMISFETをドレイン領域のみ2重ドレイン構造に形成することができる。

(実施例VII)

第27図は実施例VIIのメモリセルアレイの一部の平面図、第28図は第27図のA-A切斷線における断面図、第29図はメモリセルアレイの等価回路である。

実施例VIIは、記憶素子Q_mとは別に選択MISFETQ_rを設け、これら2つのMISFETで1つのメモリセルを構成したものである。

第27図乃至第29図において、記憶素子Q_mであるMISFETは、実施例Iのメモリセルと同様に酸化シリコン膜からなる第1ゲート絶縁膜4、フローティングゲート電極5、酸化シリコン膜からなる第2ゲート絶縁膜6、コントロールゲート電極7、ソース領域であるn型半導体領域9、

10、n型半導体領域11、ドレイン領域であるn型半導体領域9、10とで構成してある。新に設けた選択MISFETは、半導体基板1の表面の酸化による酸化シリコン膜からなるゲート絶縁膜6、例えば第2層目の多結晶シリコン膜からなるゲート電極26、ソース、ドレイン領域のチャネル領域側の端部を構成しているn型半導体領域25、ソース、ドレイン領域のチャネル領域から離隔された分部を構成しているn型半導体領域10とで構成してある。ゲート電極26は、データ線DLが延在している方向と交差する方向に延在して第1ワード線WL₁を構成している。これと平行に、コントロールゲート電極7と一体に形成した第2ワード線WL₂が延在している。読み出し時における選択MISFETQ_rのドレイン領域の一部を構成しているn型半導体領域10は、読み出し時におけるMISFETQ_mのソース領域の一部であるn型半導体領域10と共通になっている。同一のデータ線DLに同一の接続孔14を通して接続されている2つのメモリセルにおい

て、それぞれの選択MISFET Q_1 のドレイン領域の一部であるn型半導体領域10は一体になっている。第27図に示すように、選択MISFET Q_1 のチャネル幅は記憶素子であるMISFET Q_m のそれより大きくなっている。MISFET Q_m のソース領域と一体に形成され、ワード線 WL_1 、 WL_2 が延在している方向と同一方向に延在しているそれぞれの接地線GLは、第29図に示すように、NチャネルMISFET Q_{s1} 、 Q_{s2} に接続されている。

情報の書き込み時において、全てのMISFET Q_{s2} が導通状態となりまた全てのMISFET Q_{s1} が非導通状態となってそれぞれの接地線GLを回路の接地電位 V_{ss} 例えば0Vにする。選択されたメモリセルに接続されている第1ワード線 WL_1 は、 V_{pp} 例えば1.3Vにされる。それ以外の第1ワード線 WL_1 は接地電位 V_{ss} 例えば0Vである。選択メモリセルに接続している第2ワード線 WL_2 は、書き込み電位 V_{pp} 例えば1.3Vにされ、それ以外の第2ワード線 WL_2 はフロ

電位 V_{pp} 例えば1.3Vにされる。全ての第2ワード線 WL_2 は接地電位 V_{ss} とされる。第1ワード線およびデータ線DLは接地電位またはフローティングにされる。これらの条件を設定すると、全メモリセルの情報が一括消去される。

以上、本実施例のメモリセルの構成により、次の効果を得ることができる。

(1) メモリセルを選択MISFET Q_1 と、記憶素子 Q_m とで構成したことにより、消去後の V_{th} をほぼ一定にする必要がないので消去回路の構成を簡単に行うことができる。

(2) 選択MISFET Q_1 のソース、ドレイン領域の端部をn型半導体領域25で構成したことにより、ホットキャリアの発生を低減することができる。

なお、本実施例における記憶素子は、実施例Iで説明したメモリセルからなっているが、実施例II乃至実施例VIのいずれのメモリセルを適用してもよい。

次に、本実施例のメモリセルの製造方法を説明

する。フローティングもしくは接地電位 V_{ss} 例えば0Vである。選択されたメモリセルに接続しているデータ線DLはHレベル例えば5Vにされ、それ以外のデータ線DLは接地電位 V_{ss} とされる。

情報の読み出し時において、MISFET Q_{s1} を非導通状態とし、MISFET Q_{s2} を導通状態にして接地線GLを回路の接地電位 V_{ss} 例えば0Vにする。選択されたメモリセルに接続している第1ワード線 WL_1 が電源電位にされる。それ以外のワード線 WL_1 は接地電位 V_{ss} にされる。記憶素子を構成する第2ワード線 WL_2 は全て電源電位 V_{cc} にされるが、記憶素子の消去後の V_{th} が負、例えば-3Vの場合には接地電位 V_{ss} にされる。選択されたメモリセルに接続しているデータ線DLは1V程度印加され、それ以外のデータ線DLは V_{ss} またはフローティング状態とされる。

情報の消去時において、全MISFET Q_{s1} が導通状態とされ、全MISFET Q_{s2} が非導通状態とされる。すなわち、全接地線GLが消去

する。

第30図乃至第35図は、製造工程におけるメモリセルの平面図または断面図である。

第30図に示すように、半導体基板1の表面の酸化によって100Å程度の膜厚を有する第1ゲート絶縁膜4(図示せず)を形成した後に、例えばCVDによって半導体基板1上の全面にフローティングゲート電極5となる多結晶シリコン膜を形成し、これをレジスト膜からなる膜を用いたエッチングによってパターンニングする。このエッチングでは、同一のデータ線DLに接続され、接地線GLを共通にする2つのメモリセルのフローティングゲート電極5を一体にしたパターンにパターンニングする。したがって、ゲート電極26(第1ワード線 WL_1)が設けられる表面部は多結晶シリコン膜5から露出している。

次に、多結晶シリコン膜5の露出している表面及び多結晶シリコン膜5から露出している半導体基板1の表面を酸化して第2ゲート絶縁膜6及び選択MISFET Q_1 のゲート絶縁膜6を形成す

る。ゲート絶縁膜6の形成工程でデコーダ回路等の周辺回路を構成するMISFETのゲート絶縁膜も形成することができる。この後、コントロールゲート電極7(第2ワード線WL₂)及びゲート電極26(第2ワード線WL₂)さらに周辺回路のMISFETのゲート電極を形成するために例えばCVDによって半導体基板1上の全面に多結晶シリコン膜を形成し、これをレジスト膜からなるマスクを用いたエッチングによってパターンニングして第31図に示すように、ゲート電極7及び26を形成する。このエッチング工程で周辺回路のMISFETのゲート電極も形成することができる。なお、ゲート電極7及び26は、Mo、W、Ta、Ti等の高融点金属膜又はそのシリサイド膜あるいは多結晶シリコン膜の上に前記高融点金属膜又はシリサイド膜を積層して構成してもよい。次に、ゲート電極5、7、26及び半導体基板1の露出している表面を酸化して酸化シリコン膜8を形成する。

次に、第32図に示すように、n型半導体領域

次に、第34図に示すように、記憶素子Q_mのソース、ドレイン領域の一部を構成するn型半導体領域9を形成するためのレジスト膜からなるマスク28を半導体基板1上に形成する。マスク28は、メモリセル領域においては選択MISFET Q_rのソース、ドレイン領域を覆うパターンで設けられ、周辺回路領域は全て覆うパターンで設けられる。次に、ゲート電極5、7をイオン打込みのマスクとして、マスク28から露出している半導体基板1の表面にイオン打込みによってn型不純物例えばヒ素(As)を導入してn型半導体領域9を形成する。イオン打込みの後にマスク28を除去する。

次に、第35図に示すように、例えばCVDによる酸化シリコン膜と反応性イオンエッチング(RIE)を用いてサイドウォールスペーサ12を形成する。サイドウォールスペーサ12は、周辺回路を構成するNチャネルMISFET及びPチャネルMISFETいずれのゲート電極にも形成される。次に、PチャネルMISFET領域をレ

ジスト膜からなるマスクで覆った後に、サイドウォールスペーサ12及びゲート電極5、7又は26をマスクとしてイオン打込みによってn型不純物例えばヒ素(As)を半導体基板1の表面に導入してn型半導体領域10を形成する。周辺回路を構成するためのNチャネルMISFETのソース、ドレイン領域の高濃度領域も同時に形成される。イオン打込みの後に、Pチャネル領域を覆っていたレジスト膜からなるマスクを除去する。この後、メモリセル領域及び周辺回路のNチャネルMISFET領域をレジスト膜からなるマスクで覆い、PチャネルMISFET領域にp型不純物例えばボロン(B)を導入してソース、ドレイン領域であるp型半導体領域を形成する。レジスト膜からなるマスクは、イオン打込みの後に除去する。

次に、第33図に示すように、半導体基板1の表面に、ゲート電極5、7及び26をマスクとしてイオン打込みによってn型不純物例えばヒ素(As)又はリンを導入してn型半導体領域25を形成する。このイオン打込み工程で、周辺回路を構成するNチャネルMISFETのソース、ドレイン領域の低濃度層を形成することができる。PチャネルMISFETが設けられる領域はレジスト膜からなるマスクで覆う。このマスクは、前記イオン打込みの後に除去する。

ジスト膜からなるマスクで覆った後に、サイドウォールスペーサ12及びゲート電極5、7又は26をマスクとしてイオン打込みによってn型不純物例えばヒ素(As)を半導体基板1の表面に導入してn型半導体領域10を形成する。周辺回路を構成するためのNチャネルMISFETのソース、ドレイン領域の高濃度領域も同時に形成される。イオン打込みの後に、Pチャネル領域を覆っていたレジスト膜からなるマスクを除去する。この後、メモリセル領域及び周辺回路のNチャネルMISFET領域をレジスト膜からなるマスクで覆い、PチャネルMISFET領域にp型不純物例えばボロン(B)を導入してソース、ドレイン領域であるp型半導体領域を形成する。レジスト膜からなるマスクは、イオン打込みの後に除去する。

以後の工程は、実施例1の製造方法と同様であるので説明を省略する。

以上の説明のように、メモリセルの選択MISFET Q_rと記憶素子であるMISFET Q_mを

同一工程で形成することができる。

また、周辺回路を構成するNチャネルMISFETとメモリセルを同一工程で形成することができる。

〔実施例Ⅵ〕

第36図はメモリセルの断面図である。

本実施例はメモリセルを1つのMISFETで構成し、そのソース領域に接合の深いn型半導体領域11を設け、ドレイン領域に接合の深いp型半導体領域24を設けたものである。ソース、ドレイン領域のチャネル領域側の端部は、 $0.1\mu\text{m}$ 程度の浅い接合を有するn型半導体領域9で構成されている。チャネル領域から離隔された部分は、 $0.25\mu\text{m}$ 程度の深い接合を有するn型半導体領域10からなっている。n型半導体領域11は、ソース、ドレイン領域の一部であるn型半導体領域9、10より深い接合を有している。また、チャネル領域においてはn型半導体領域9と半導体基板1の間に介在している。n型半導体領域11が設けられていることにより、ソース領

域と半導体基板1の間の接合耐圧が高くなっている。したがって、情報の消去時にソース領域に印加される消去電圧 V_{pp} を13V程度に高くすることができるので、消去時間を短縮することができる。また、消去を確実に行うことができる。

一方、ドレイン領域では、p型半導体領域24がn型半導体領域9及び10の下部にまで達している。チャネル領域においては、n型半導体領域9と半導体基板1の間にp型半導体領域24が介在している。ドレイン領域と半導体基板1の間に生じる電界を強化する構成となっている。情報の書き込み時におけるホットキャリアの発生効率が向上し、書き込み電圧を5V以下に下げることができる。

次に、本実施例のメモリセルの製造方法を説明する。

第37図乃至第41図は製造工程におけるメモリセルの断面図である。

第37図に示すように、実施例Iと同様に、第1ゲート絶縁膜4、フローティングゲート電極5、

第2ゲート絶縁膜6、コントロールゲート電極7（ワード線WL）、酸化シリコン膜8を形成する。この後、n型半導体領域11を形成するためのレジスト膜からなるマスク29を半導体基板1上に形成する。マスク29はメモリセルのソース領域及び接地線GLを露出したパターンに形成する。周辺回路領域は全てマスク29で覆う。次に、イオン打込みによってn型不純物例えばリン（P）ドーズ量 $10^{12} \sim 10^{14} \text{ atoms}/\mu\text{m}^2$ をマスク29及びゲート電極5、7から露出している半導体基板1の表面に導入してn型半導体領域11を形成する。イオン打込みの後にマスク29を除去する。

次に、第38図に示すように、メモリセルのソース領域及び接地線GL領域をレジスト膜からなるマスク30で覆う。マスク30は、周辺回路領域の全てを覆うように設けられる。次にマスク30及びゲート電極5、7から露出している半導体基板1の表面にp型不純物例えばボロン（B）ドーズ量 $2 \times 10^{12} \sim 5 \times 10^{12} \text{ atoms}/\mu\text{m}^2$

を導入してp型半導体領域24を形成する。この後、マスク30を除去する。なお、この後、アニールによりn型半導体領域11及びp型半導体領域24を引伸してもよい。

次に、第39図に示すように、ゲート電極5、7をマスクとし、イオン打込みによってn型不純物例えばヒ素（As）を半導体基板1の表面に導入してn型半導体領域9を形成する。なお、このイオン打込み工程では周辺回路領域をレジスト膜からなるマスクによって覆う。なお、前記イオン打込みを2回に分て行うようにし、1回目のイオン打込みではn型不純物を低濃度でメモリセル領域及び周辺回路のNチャネルMISFET領域に導入し、2回目のイオン打込みでは周辺回路領域の全領域をレジスト膜からなるマスクで覆ってn型不純物を周辺回路領域には導入しないようにしてもよい。このようにすれば、メモリセル領域には接合の浅いn型半導体領域9を形成することができ、周辺回路のNチャネルMISFET領域には接合の浅いn型半導体領域を形成することがで

きる。

次に、第40図に示すように、例えばCVDによる酸化シリコン膜及びRIEを用いてサイドウォールスペース12を形成する。周辺回路のMISFETのゲート電極の側部にもサイドウォールスペース12が形成される。

次に、第41図に示すように、PチャネルMISFET領域をレジスト膜からなるマスクで覆った後に、イオン打込みによってn型不純物例えばヒ素(As)を導入してn型半導体領域24を形成する。n型半導体領域24は、周辺回路のNチャネルMISFETのソース、ドレイン領域のチャネル領域から離隔された部分にも形成される。PチャネルMISFET領域を覆っていたレジスト膜からなるマスクは、イオン打込みの後に除去する。次に、メモリセル領域及び周辺回路のNチャネルMISFET領域をレジスト膜からなるマスクで覆った後に、PチャネルMISFET領域にp型不純物例えばボロン(B)を導入してソース、ドレイン領域であるp型半導体領域を形成す

る。イオン打込みの後に、メモリセル領域及び周辺回路のNチャネルMISFET領域を覆っていたレジスト膜からなるマスクを除去する。

以上の説明のように、メモリセルと周辺回路のNチャネルMISFETとを同一工程で形成できる。

〔実施例区〕

第42図は実施例区のメモリセルの断面図である。

本実施例は、ソース領域のチャネル領域側の端部に設けられているn型半導体領域9の周囲にのみn型半導体領域11を設け、ドレイン領域のチャネル領域側の端部に設けられているn型半導体領域9の周囲にのみp型半導体領域24を設けたものである。ソース領域の端部にn型半導体領域11を設けていることにより、ソース領域と半導体基板1の間の接合耐圧が高められ、消去電圧を高くすることができる。また、n型半導体領域11がn型半導体領域10と同程度の接合深さであり、チャネル領域への通り込みが小さいことから

しきい値の変動が小さくメモリセルの電気的特性が向上している。

一方、p型半導体領域24により、ドレイン領域の端部と半導体基板1の間に加る電界が強くなる。したがって、ホットキャリアの発生効率が向上し書き込み特性が向上する。また、p型半導体領域24はn型半導体領域10と同程度に浅いので、チャネル領域への通り込みが小さくなっている。しきい値の変動が小さく、メモリセルの電気的特性が向上している。

また、n型半導体領域10の下部にp型半導体領域24がないことにより、ドレイン領域の寄生容量が小さくなっている。

本実施例におけるn型半導体領域11及びp型半導体領域24は、実施例Ⅶのn型半導体領域11及びp型半導体領域24と同様の方法で形成することができる。

〔実施例X〕

第43図は、実施例Xにおけるメモリセルの断面図である。

実施例Xは、ソース領域にn型半導体領域10の下部にまで達する深い接合を有するn型半導体領域11を設け、チャネル領域にp型半導体領域31を設けたものである。n型半導体領域11はチャネル領域に達している。ドレイン領域の端部を構成しているn型半導体領域9の下部には半導体領域を設けていない。n型半導体領域11によってソース領域と半導体基板1の間の接合耐圧を高めている。一方、p型半導体領域31によってドレイン領域の端部に加る電界を強くすることができる。

p型半導体領域31は、メモリセルのしきい値を調整するためにチャネル領域にp型不純物例えばボロン(B)を導入するイオン打込み工程を用いることができる。p型半導体領域31を形成するためのイオン打込みのドーズ量は、 $2 \times 10^{12} \sim 5 \times 10^{12}$ atoms/cm²程度であればよい。なお、周辺回路のMISFETのしきい値を調整するためのイオン打込みは、メモリセルと別に行ってもよい。

〔実施例XI〕

第44図は実施例XIのメモリセルの断面図である。

実施例XIは、ドレイン領域を構成しているn⁺型半導体領域9及び10を包むように深い接合を有するp型半導体領域24を設け、またチャンネル領域にn⁺型半導体領域32を設けたものである。p型半導体領域24がn⁺型半導体領域9を取囲んで形成されているため、ドレイン領域端部の空乏層の伸びが抑えられる。したがって、書き込み時におけるドレイン端部のホットキャリアの発生効率を高めることができる。

一方、ソース領域のチャンネル側の端部は、n⁺型半導体領域32があるために電界が緩和される。このため、情報の消去時にソース領域に印加する消去電圧を高めることができる。

n⁺型半導体領域32を形成するためのイオン打込みは、例えばヒ素(As)をドーズ量 $10^{11} \sim 10^{12}$ atoms/cm²のオーダーで行う。

なお、実施例Ⅷ～実施例XIまでのメモリセル

であるMISFETは、実施例Ⅶのメモリセルのように選択MISFETQ₁と2つで1つのメモリセルを構成するようにしてもよい。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は前記実施例に限定されるもではなくその要旨を逸脱しない範囲において種々変更可能であることはいうまでもない。

〔発明の効果〕

本願によって開示された発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

メモリセルであるMISFETのソース領域と半導体基板の間の接合耐圧を高めたので、情報の消去時に印加する消去電圧V_{pp}を高くすることができる。これにより、消去効率を向上することができる。

また、メモリセルであるMISFETのドレイン領域の端部の電界が強くなるように構成したので、書き込み特性の向上を図ることができる。

4. 図面の簡単な説明

第1図は第2図のA-A切断線における断面図

第2図は実施例Iのメモリセルの平面図、

第3図は実施例Iのメモリセルアレイの等価回路、

第4図乃至第16図は実施例Iの製造工程におけるメモリセルの断面図又は平面図、

第17図は実施例IIのメモリセルの断面図、

第18図は実施例IIIのメモリセルの断面図、

第19図乃至第23図は実施例IIIのメモリセルの製造工程における断面図、

第24図は実施例IVのメモリセルの断面図、

第25図は実施例Vのメモリセルの断面図、

第26図は実施例VIのメモリセルの断面図、

第27図は実施例VIIのメモリセルの平面図、

第28図は第27図のA-A切断線における断面図、

第29図は実施例VIIのメモリセルアレイの等価回路、

第30図乃至第35図は実施例VIIのメモリセルの製造工程における平面図又は断面図、

第36図は実施例Ⅷのメモリセルの断面図、

第37図乃至第41図は実施例Ⅷのメモリセルの製造工程における断面図、

第42図は実施例Ⅸのメモリセルの断面図、

第43図は実施例Xのメモリセルの断面図、

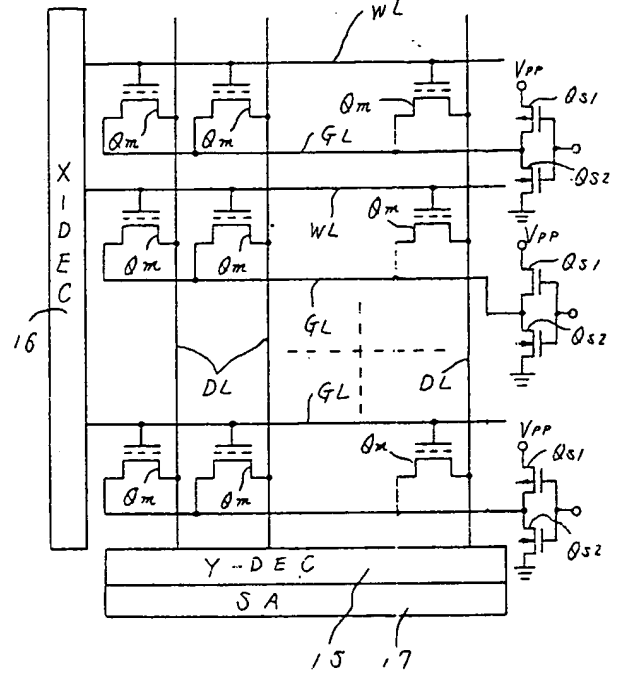
第44図は実施例XIのメモリセルの断面図である。

1…半導体基板、2…フィールド絶縁膜、3…チャンネルストッパ領域、4…第1ゲート絶縁膜、5…フローティングゲート電極、6…第2ゲート絶縁膜、7…コントロールゲート電極、8…酸化シリコン膜、9、10…n⁺型半導体領域(ソース、ドレインの一部を構成する)、11…n⁺型半導体領域(ソース領域の一部を構成する)、12…サイドウォールスペーサ、13…絶縁膜、14…接続孔、15、16…デコーダ、17…センスアンプ、Q_m…メモリセル、DL…データ線、WL…ワード線、GL…接地線、18…下地膜(酸化シリコン膜)、19…熱酸化マスク(窒化シリコン膜)、20、22、23、27、28、29、3

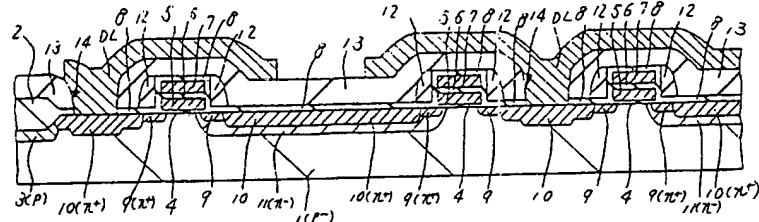
0...レジスト膜、21... n -型半導体領域（ソース領域の一部を構成する）、24... p -型半導体領域（ドレイン領域端部の電界を強化する）、25... n -型半導体領域（選択MISFETのソース、ドレインの一部を構成する）、26...選択MISFETのゲート電極、31... p -型半導体領域（ドレイン領域端部の電界を強化する）、32... n -型半導体領域（ソース領域の一部を構成する）。

代理人 井理士 小川勝男

第 3 図

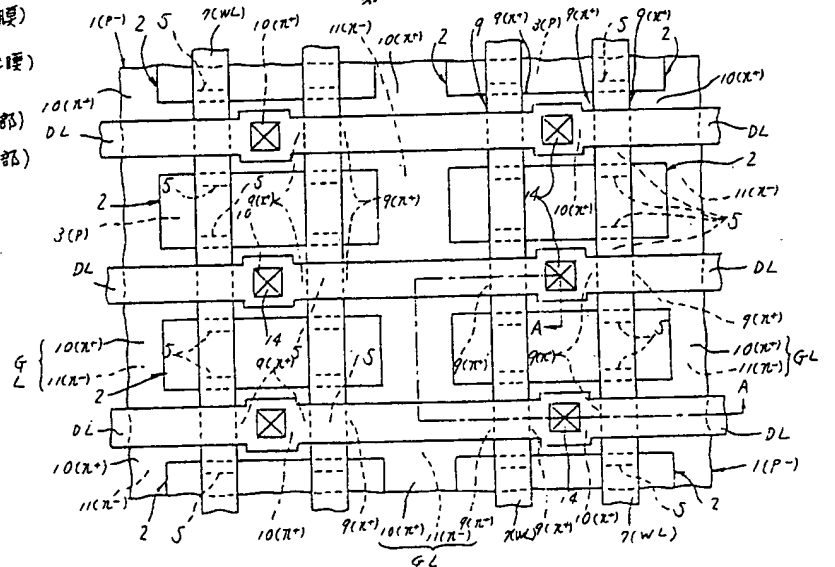


第 1 図

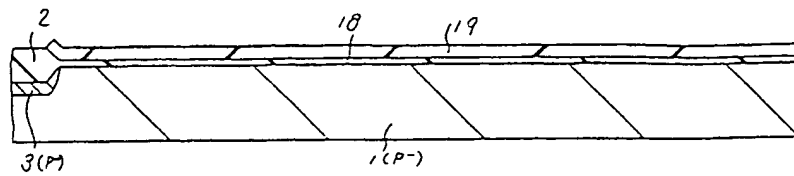


第 2 図

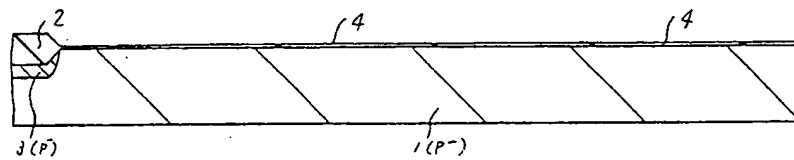
- 4-第1ゲート絶縁膜(酸化シリコン膜)
- 5-フローティングゲート電極
- 6-第2ゲート絶縁膜(酸化シリコン膜)
- 7-コントロールゲート電極
- 9- n -型半導体領域
(ソース/ドレイン領域の一部)
- 10- n -型半導体領域
(ソース/ドレイン領域の一部)
- 11- n -型半導体領域
(ソース領域の一部)



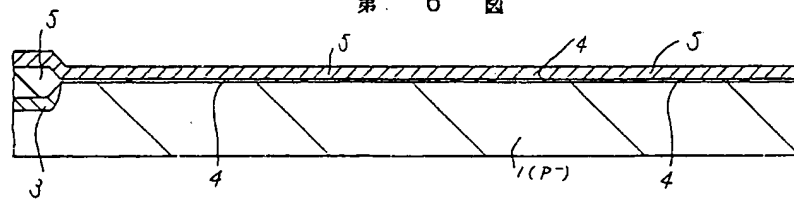
第 4 図



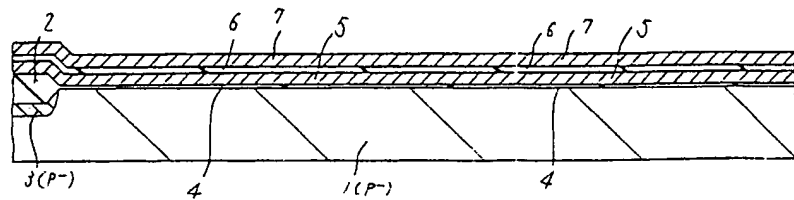
第 5 図



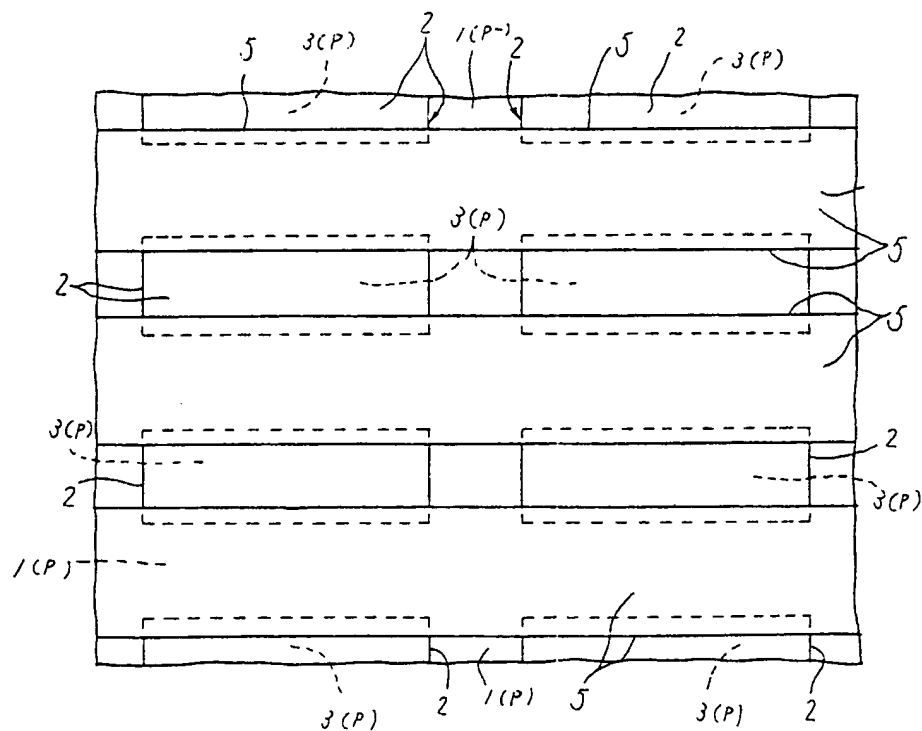
第 6 図



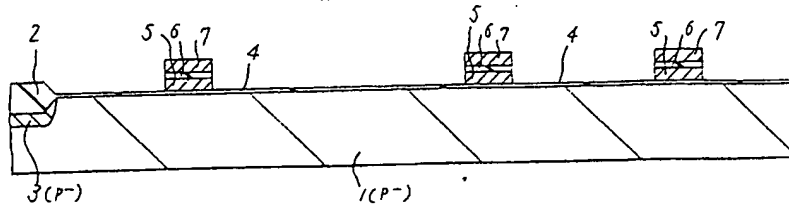
第 8 図



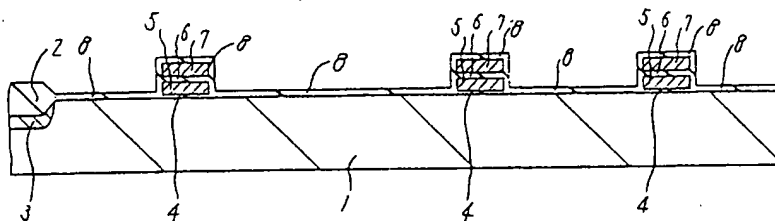
第 7 図



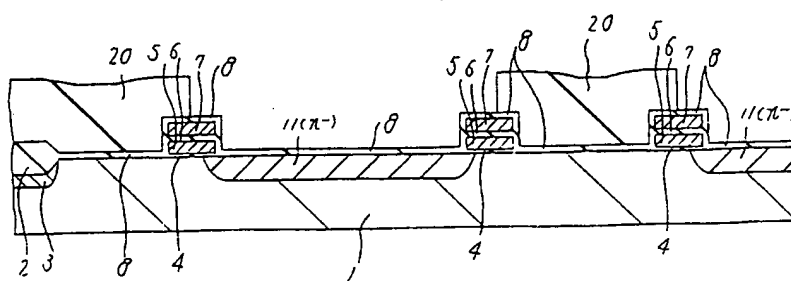
第 9 圖



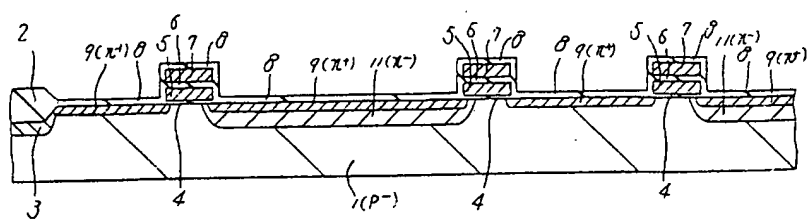
第 10 圖



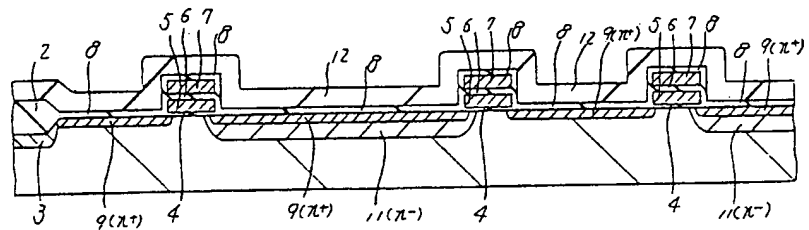
第 11 圖



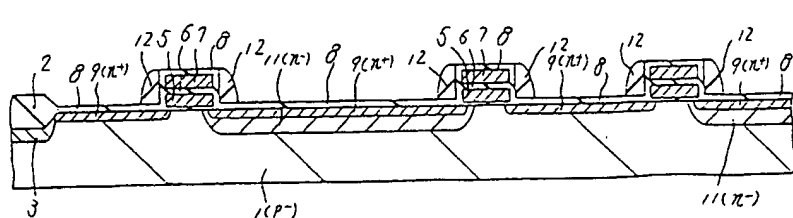
第 12 圖



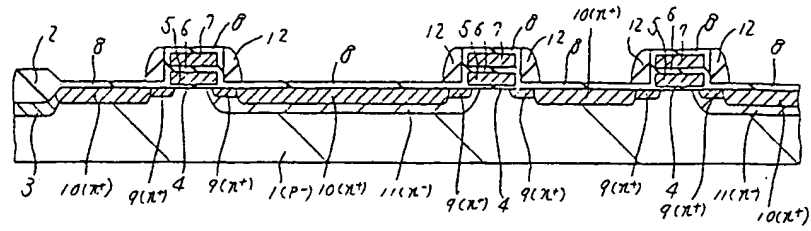
第 13 圖



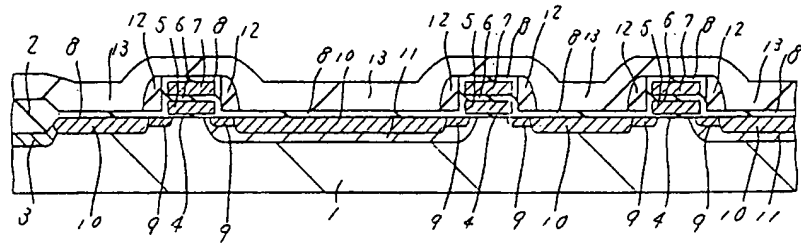
第 14 圖



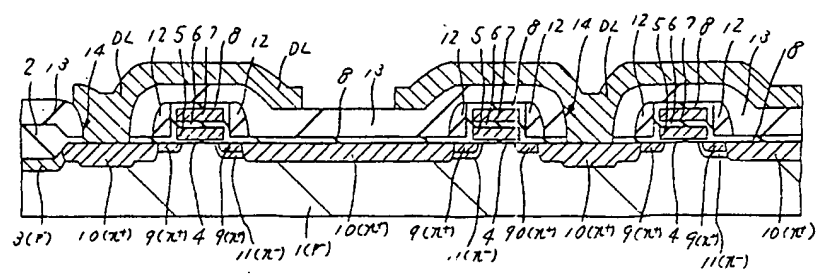
第 15 図



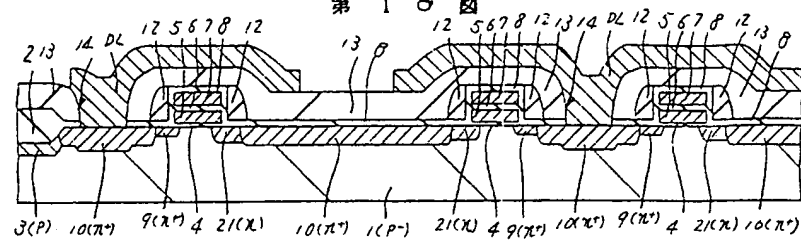
第 16 図



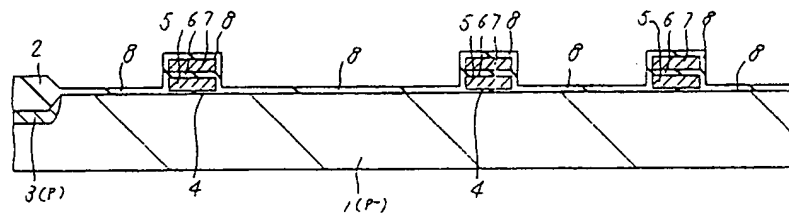
第 17 図



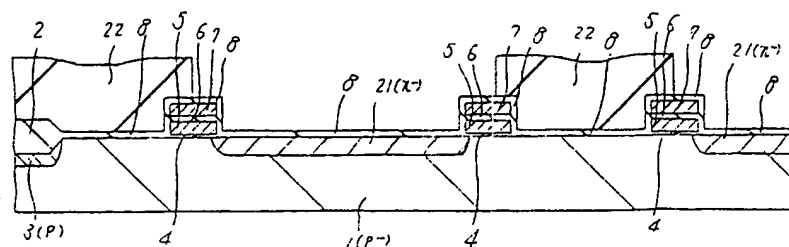
第 18 図



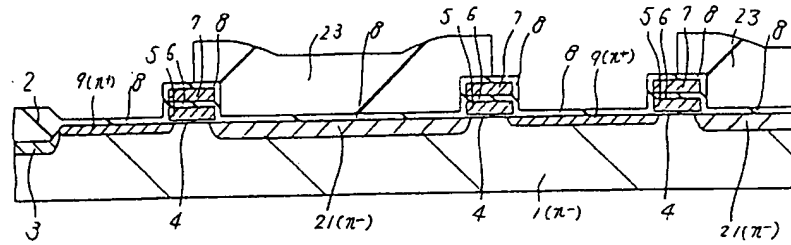
第 19 図



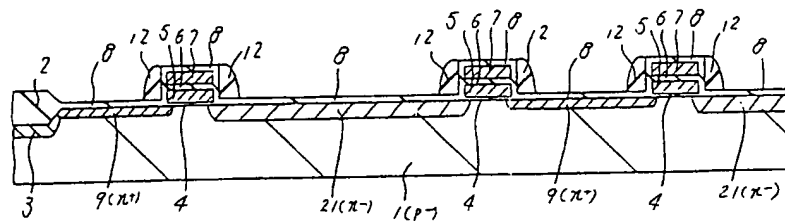
第 20 図



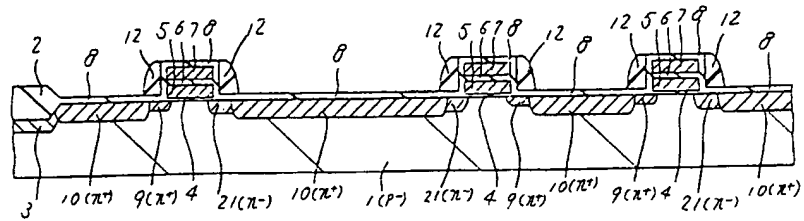
第 2 1 図



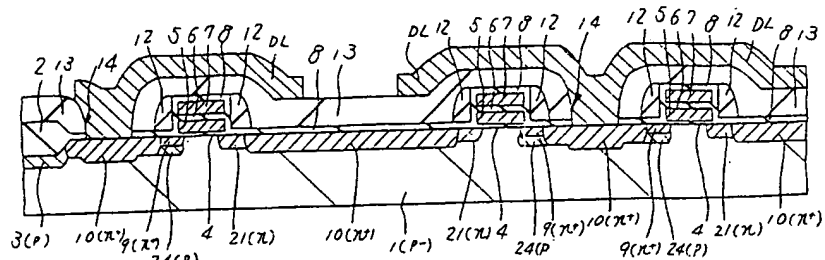
第 2 2 図



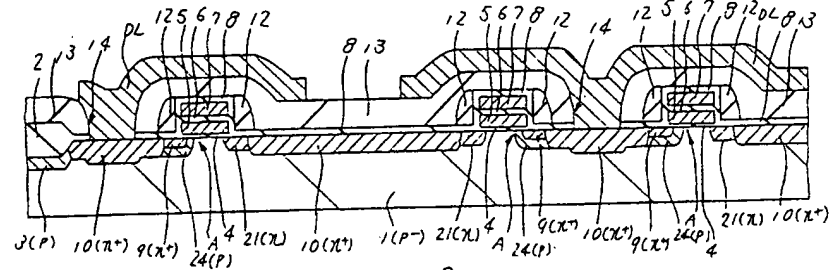
第 2 3 図



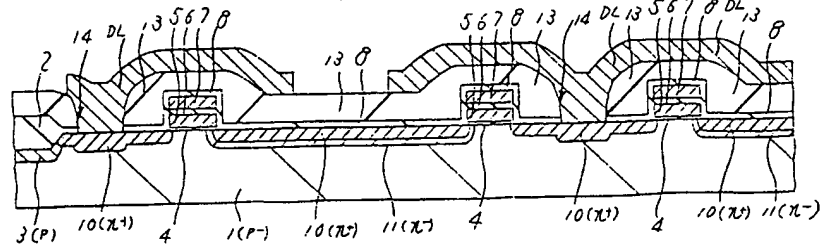
第 2 4 図



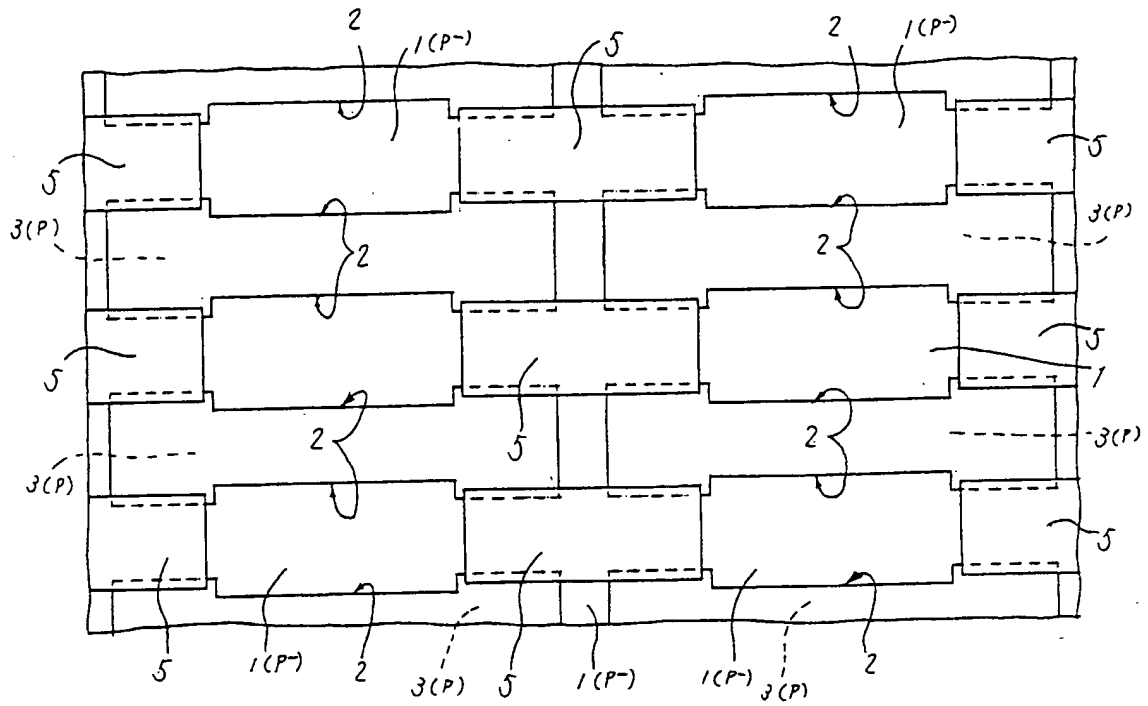
第 2 5 図



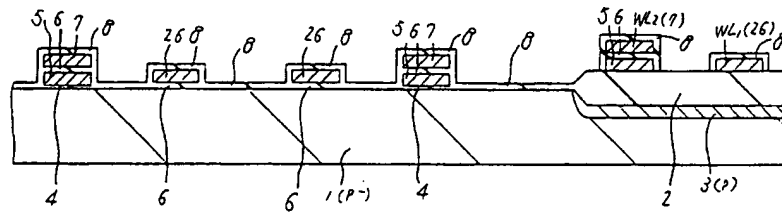
第 2 6 図



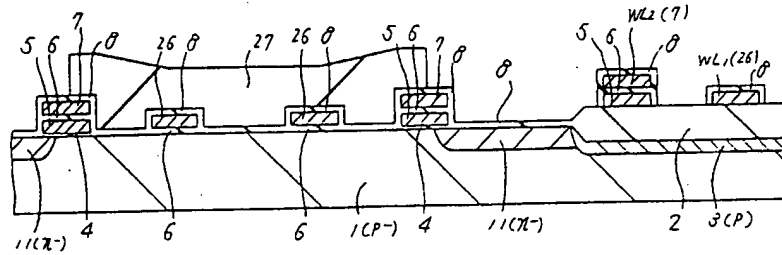
第 3 0 図



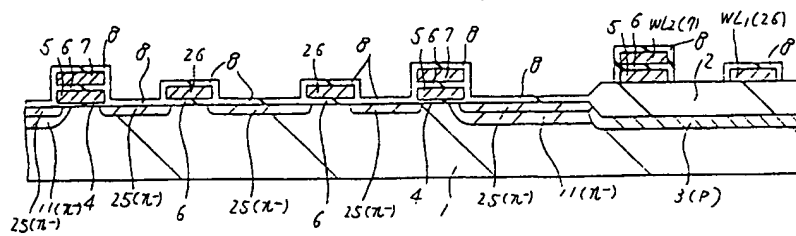
第 3 1 図



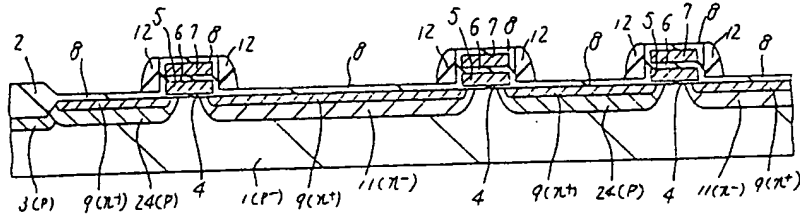
第 3 2 図



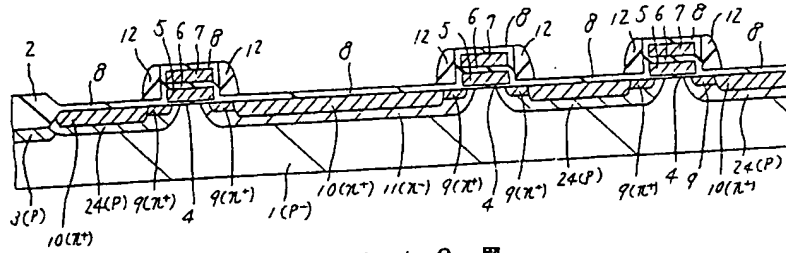
第 3 3 図



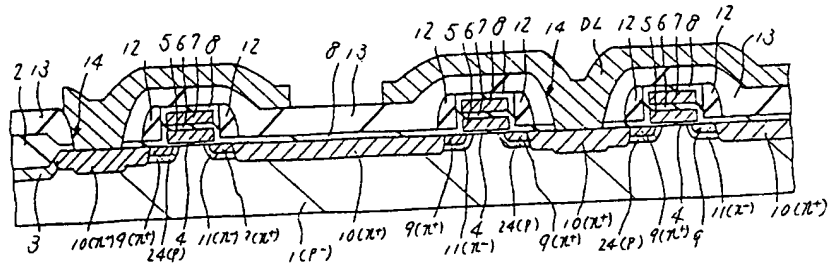
第 4 0 図



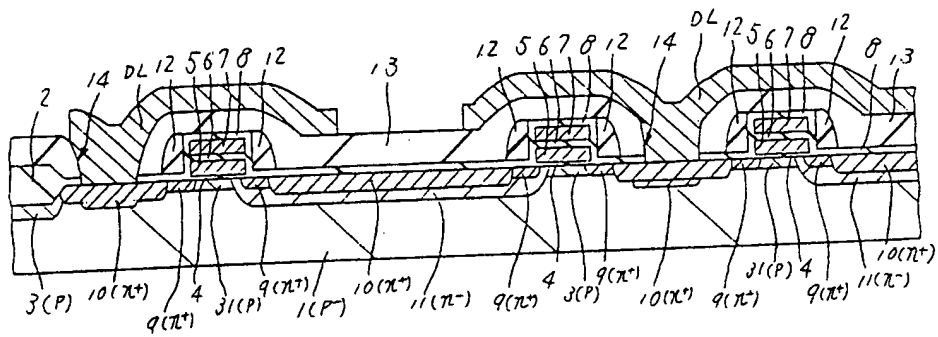
第 4 1 図



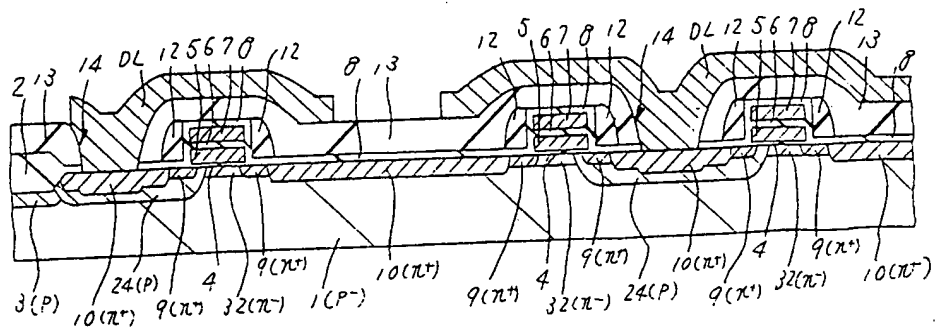
第 4 2 図



第 4 3 図



第 4 4 図



第1頁の続き

⑦発明者 山本 英明 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中
央研究所内